

PAT-NO: JP404096454A  
DOCUMENT-IDENTIFIER: JP 04096454 A  
TITLE: COMMUNICATION CONTROL SYSTEM  
PUBN-DATE: March 27, 1992

INVENTOR-INFORMATION:

NAME  
KAWASAKI, KEIKO  
SUMIYA, KAZUO  
IGI, YOZO  
TAHIRA, FUMIAKI  
FUJIZONO, KENJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP02210396

APPL-DATE: August 10, 1990

INT-CL (IPC): H04L029/08, H04L007/00

ABSTRACT:

PURPOSE: To improve speed for transfer by providing a transfer speed changing means to transfer a data between both systems while changing speed for transferring the data, and a control means to control the data transfer processing of the transfer speed changing means.

CONSTITUTION: For example, when a system A1 connected to an SAM port requests the data transfer to a system B2, which is connected to a RAM port, to a data transfer device 3, a control means 5 sets an internal transfer direction in a transfer speed changing means 4 to a direction from the SAM to the RAM, transfer data are successively serially outputted from the head of the SAM, and the data are stored in the RAM. For the storage address of the RAM, the address set to a RAM access leading address register in the control means 5 in advance is defined as a leading address, and the data are successively stored. When the transfer from the SAM to the RAM is completed, the control means 5 requests the system B2 to read out the transferred data from the RAM, and the system B2 reads out the data from the RAM in the transfer speed changing means 4. Thus, the speed can be improved for transferring the data between two systems having different data transfer speed.

COPYRIGHT: (C)1992,JPO&Japio

DERWENT-ACC-NO: 1992-132456

DERWENT-WEEK: 199217

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Communication control system for transmitting between 2 systems - has transmission speed converting device for transmitting data between two systems after converting data transmission speed

INVENTOR: FUJISONO, K; IGI, Y ; KAWASAKI, K ; SUMITANI, K ; TAHIRA, F  
; FUMIAKI, T ; KENJI, F ; YOSO, I

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1990JP-0210396 (August 10, 1990)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
AU 9181781 A	February 13, 1992	N/A	046
N/A			
AU 641795 B	September 30, 1993	N/A	000
G06F 005/06			
JP 04096454 A	March 27, 1992	N/A	016
H04L 029/08			
US 5394399 A	February 28, 1995	N/A	014
H04J 003/22			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
AU 9181781A	N/A	1991AU-0081781	August 12,
1991			
AU 641795B	N/A	1991AU-0081781	August 12,
1991			
AU 641795B	N/A	AU 9181781	N/A
JP 04096454A	N/A	1990JP-0210396	August 10,
1990			
US 5394399A	Cont of	1991US-0743886	August 12,
1991			
US 5394399A	N/A	1993US-0162908	December 8,
1993			

INT-CL (IPC): G06F005/06, H04J003/22 , H04L007/00 , H04L029/08

ABSTRACTED-PUB-NO: AU 9181781A

BASIC-ABSTRACT:

The transmission speed converting unit is for transmitting data between two systems after converting a data transmission speed. A control unit controls the conversion of the transmission speed and the data transmitting process to be performed by the transmission speed converting unit. The transmission speed converting unit comprises a dual port video RAM having a serial access memory SAM and a RAM. One system is connected to a port of either the SAM or the RAM, and the other system to the port of the other.

The data transmission between either of the systems and the dual port video RAM

can be performed at the transmission speed of either system. The data transmission between the SAM and the RAM in the dual port video RAM can be performed as an internal transmitting process. The control unit comprises a register for storing the start of store address in the dual port video RAM of the transmission speed converting unit. A register stores the number of data words in the SAM and a CPU.

ADVANTAGE - Higher speed data transmission.

ABSTRACTED-PUB-NO: US 5394399A

EQUIVALENT-ABSTRACTS:

Communication control device includes a transmission speed converting unit having a dual port video RAM contg. a RAM and a SAM, and a control unit having a register for storing a data store leading address of the RAM, a register for setting the number of words stored in the SAM, and a CPU. The dual port video RAM absorbs the difference between the data transmission speeds of these two systems, and permits the data transmission at a lower cost than when using a FIFO memory and at a higher speed than when using a buffer memory.

When data are transmitted, a user issues a data transmission request to the CPU in the control unit. According to the request, the CPU reads data from one system at its data transmission speed to the RAM or the SAM of the dual port video RAM, internally transmits the data between the RAM and the SAM, and finally transmits the internally transmitted data to the other system at its data transmission speed.

ADVANTAGE - Capable of transmitting data after converting data transmission speed when speed of sending system and receiving system differ.

CHOSEN-DRAWING: Dwg.1A/6 Dwg.3/6

TITLE-TERMS: COMMUNICATE CONTROL SYSTEM TRANSMIT SYSTEM TRANSMISSION SPEED  
CONVERT DEVICE TRANSMIT DATA TWO SYSTEM AFTER CONVERT DATA  
TRANSMISSION SPEED

DERWENT-CLASS: W01

EPI-CODES: W01-A04; W01-A07F;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1992-098816

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-96454

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月27日

H 04 L 29/08  
7/00A 8949-5K  
8020-4M

H 04 L 13/00 3 0 7 C

審査請求 未請求 請求項の数 6 (全 16 頁)

⑮ 発明の名称 通信制御方式

⑯ 特 願 平2-210396

⑰ 出 願 平2(1990)8月10日

⑱ 発 明 者 川 崎 恵 子 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 発 明 者 炭 谷 和 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 発 明 者 井 木 洋 三 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉑ 発 明 者 田 平 文 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 大菅 義之 外1名

最終頁に続く

明 細 書

## 1. 発明の名称

通 信 制 御 方 式

## 2. 特許請求の範囲

1) 転送速度の異なる二つのシステム、システム A (1) およびシステム B (2) の間のデータ転送を行なうデータ転送装置 (3) において、

データ転送速度を変換して、システム A (1) - システム B (2) 間のデータ転送を実行する転送速度変換手段 (4) と、

前記転送速度変換手段 (4) のデータ転送処理を制御する制御手段 (5) とを有することを特徴とする通信制御方式。

2) 前記転送速度変換手段 (4) は、一つのシリアル・アクセス・メモリ (SAM) と一つのランダム・アクセス・メモリ (RAM) からなるデュアルポート・ビデオ RAM で構成し、二つのシステムのうちの一方のシステム A (1) を該 SAM

ポートに、他方のシステム B (2) を該 RAM ポートに接続し、システム A (1) → システム B (2) 方向のデータ転送の場合には、システム A (1) からの転送データをまず SAM に蓄え、これを RAM に内部転送したのち、システム B (2) に転送し、一方、システム B (2) → システム A (1) 方向のデータ転送の場合には、システム B (2) からの転送データをまず RAM に蓄え、これを SAM に内部転送したのち、システム A (1) に転送することにより、両システム間の双方向データ転送を実行する請求項 1 記載の通信制御方式。

3) 前記制御手段 (5) は、転送データを前記転送速度変換手段 (4) の RAM に蓄積する際の先頭アドレスを内部に有する RAM 先頭アドレス設定レジスタに設定する請求項 1 記載の通信制御方式。

4) 前記制御手段 (5) は、転送データを前記転送速度変換手段 (4) の SAM に蓄積する際の転送データ・ワード数を内部に有する転送ワード数設定レジスタに設定する請求項 1 記載の通信制御

方式。

5) 前記制御手段(5)は、システムA(1)から前記転送速度変換手段(4)内のSAMへの転送データ書き込みコマンドを受け取った場合に、RAM先頭アドレス設定レジスタへの先頭アドレスの設定、SAM-RAM間内部転送方向の設定(SAM→RAM方向)、転送ワード数設定レジスタへのワード数設定を実行し、システムA(1)からSAMへのデータ転送完了後、SAM→RAMへのデータ転送を実行し、RAMからの転送データ読み出しをシステムB(2)に要求する請求項1記載の通信制御方式。

6) 前記制御手段(5)は、システムB(2)からシステムA(1)へのデータ転送の場合に、SAMからシステムA(1)へのデータ読み出しコマンドを受け取ると、RAM先頭アドレス設定レジスタへの先頭アドレスの設定、RAM→SAM方向の内部転送を実行し、転送ワード数設定レジスタへのワード数設定後、SAMからシステムA(1)へ転送データを読み出し、転送する処理を

起動する請求項1記載の通信制御方式。

### 3. 発明の詳細な説明

#### (概 要)

送信側システムと受信側システムのデータ転送速度が異なる場合の通信制御方式に関し、

データ転送速度の異なる2システム間のデータ通信装置を、FIFOメモリを採用するよりも安価に構成し、さらに転送速度を向上することを目的とし、

転送速度の異なる二つのシステム、システムAおよびシステムBの間のデータ転送を行なうデータ転送装置において、データ転送速度を変換して、システムA-システムB間のデータ転送を実行する転送速度変換手段と、前記転送速度変換手段のデータ転送処理を制御する制御手段とを有するように構成する。

#### (産業上の利用分野)

本発明は、システム間の通信制御方式に係り、

- 3 -

さらに詳しくは、送信側システムと受信側システムのデータ転送速度が異なる場合の通信制御方式に関する。

#### (従来の技術)

転送速度の異なる二つのシステム間でデータ通信を実現する方式としては、従来、二つの方式が存在する。第5図は、従来の方式の説明図である。

第1の方法は、転送速度の異なる二つのシステム(システムA51とシステムB52)の間に、メイン・メモリ53およびバッファ・メモリ54を置いて、転送速度を変換し、両システム間のデータ通信を実現する方法である。

まず、システムA51とバッファ・メモリ54を通信回線で結び、さらに、バッファ・メモリ54とメイン・メモリ53を接続し、メイン・メモリ53をシステムB52と通信回線で結び。ここで、システムA51-バッファ・メモリ54間のデータ転送はDMAコントローラ55(DMAC-A)が、バッファ・メモリ54-メイン・メモ

- 4 -

リ53間の転送はCPU56が、メイン・メモリ53-システムB52間の転送はDMAコントローラ57(DMAC-B)が制御する。

システムB52からシステムA51にデータを転送する場合には、まず、DMAC-B57の制御によってシステムB52からメイン・メモリ53にデータを転送する。この転送Tb58は、システムB52のデータ転送速度で行なわれる。次に、メイン・メモリ53に書き込まれた転送データをCPU56が一つ一つ読み出し、バッファ・メモリ54に書き込む。この処理は、CPU56の通常のREAD/WRITEコマンドで実行する。そして、最後に、DMAC-A55の制御によって、バッファ・メモリ54からシステムA51へデータが転送される。この転送Ta59は、システムA51のデータ転送速度で行なわれる。

一方、システムA51からシステムB52へデータを転送する場合には、逆に、まず、DMAC-A55の制御によって転送データをシステムA51からバッファ・メモリ54にDMA転送し、

- 5 -

-354-

- 6 -

次に、バッファ・メモリ 54 に書き込まれたデータを CPU 56 が読み出し、メイン・メモリ 53 に書き込む。そして、最後に、メイン・メモリ 53 からシステム B 52 に DMAC-B 57 の制御によってデータが DMA 転送される。

以上のように、第 1 の方法では、システム A 51 とシステム B 52 の間にメイン・メモリ 53 とバッファ・メモリ 54 を置き、バッファ・メモリ 54-メイン・メモリ 53 間の転送は CPU が READ/WRITE 処理で実行することによって、システム A 51 の転送 T a 59 とシステム B 52 の転送 T b 58 の転送速度の違いを吸収する。第 2 の方法は、システム A 51 とシステム B 52 の間に FIFO メモリ 60 を配置する方法である。この FIFO メモリ 60 には、書き込み速度と読み出し速度を異なる速度に設定できるものを使う。

この FIFO メモリ 60 を CPU 56 で制御する。まず、システム A 51 から FIFO メモリ 60 に転送データを書き込む。この転送 T a 59 はシステム A 51 の転送速度で行なわれる。そして、

FIFO メモリ 60 に書き込まれたデータを、順にシステム B 52 へ転送する。この転送 T b 58 はシステム B 52 の転送速度で実行される。

#### (発明が解決しようとする課題)

しかしながら、従来の 2 方式にはどちらも問題があった。

まず、第 1 の方法の場合は、メイン・メモリあるいはバッファ・メモリに転送されたデータを CPU が 1 ワードずつ読み出し、バッファ・メモリあるいはメイン・メモリに書き込むという処理を実行するので、転送速度が非常に遅いという問題がある。また、メイン・メモリとバッファ・メモリを一つの CPU で制御するために、システム A 側の転送 T a とシステム B 側の転送 T b を同時に実行できない。これも転送速度を落とす原因となり問題である。さらに、バッファ・メモリとメイン・メモリの両方を必要とし、使用するメモリ容量が大きいというのも問題である。また、転送中に CPU 動作ができないのも問題である。

- 7 -

一方、第 2 の方法は、入出力速度の異なる FIFO メモリを使用するので、転送速度の面では問題はない。しかし、入力および出力の速度を任意に設定できる FIFO メモリは高価であり、これが問題である。

本発明は、データ転送速度の異なる 2 システム間のデータ通信装置を、FIFO メモリを採用するよりも安価に構成し、さらに転送速度を向上することを目的とする。

#### (課題を解決するための手段)

第 1 図は、本発明のブロック図である。本発明は、データ転送速度の異なる二つのシステム、システム A 1、システム B 2 の間に、通信制御を実行するデータ転送装置 3 が存在することを前提とする。

まず、システム A およびシステム B の間に配し、データ転送速度を変換して両システム間のデータ転送を実行する転送速度変換手段 4 を有する。

転送速度変換手段 4 は、RAM (ランダム・ア

- 8 -

クセス・メモリ) および SAM (シリアル・アクセス・メモリ) からなるデュアルポート・ビデオ RAM で構成し、RAM ポートおよび SAM ポートを二つのシステムにそれぞれ接続する。SAM ポートにシステム A 1 を、RAM ポートにシステム B 2 を接続するものとする。

システム A 1 → システム B 2 へのデータ転送を行なう場合には、システム A 1 が持つ転送データを、まず、デュアルポート・ビデオ RAM 中の SAM ポートから SAM に格納し、これをデュアルポート・ビデオ RAM 中で SAM から RAM に内部転送し、最後に RAM ポートからシステム B 2 へデータ転送する。一方、システム B 2 → システム A 1 へのデータ転送を行なう場合には、システム B 2 が持つ転送データを、まず、デュアルポート・ビデオ RAM 中の RAM ポートから RAM に格納し、これをデュアルポート・ビデオ RAM 中で RAM から SAM に内部転送し、最後に SAM ポートからシステム A 1 へデータ転送する。

次に、前記転送速度変換手段 4 が実行するデー

タ転送を制御する制御手段5を有する。

制御手段5は、デュアルポート・ビデオRAM内の該RAMにデータを格納する際の前頭アドレスを設定するためのRAM前頭アドレス設定レジスタと、デュアルポート・ビデオRAM内の該SAMに格納するデータのワード数を設定するための転送ワード数設定レジスタを備える。該RAM前頭アドレス設定レジスタにアドレスが設定されると、制御手段5はデュアルポート・ビデオRAM内のRAM-SAM間のデータ転送処理を起動する。一方、転送ワード数設定レジスタにワード数が設定されると、制御手段5は、SAM-システムA1間のデータ転送処理を起動する。

システムA1からシステムB2にデータを転送する場合には、制御手段5は、システムA1から該SAMへの転送データ書き込みコマンドを受けて、RAM前頭アドレス設定レジスタのアドレス設定、SAM-RAM間の転送方向の設定(SAM→RAM方向)、転送ワード数設定レジスタのワード数設定、SAM→RAMへのデータ転送起

動制御、システムB2へのRAMデータ読み出し要求処理を実行する。システムB2からシステムA1へのデータ転送の場合には、制御手段5は、SAMからシステムA1へのデータ読み出しコマンドを受けると、RAM前頭アドレス設定レジスタへの前頭アドレス設定、RAM→SAMへの内部転送処理の起動、転送ワード数設定レジスタへのワード数設定、SAM→システムA1へのデータ転送の起動を実行する。

(作 用)

まず、システムA1からシステムB2にデータを転送する。

システムA1は、データ転送装置3にシステムB2へのデータ転送を要求する。データ転送装置3の制御手段5がこの転送要求を受け取る。制御手段5は、制御手段5が有するRAMアクセス前頭アドレス・レジスタに、転送速度変換手段4内のRAMの格納アドレスをセットし、転送速度変換手段4内での内部転送方向をSAM→RAM方

- 11 -

向に設定する。さらに、制御手段5は、システムA1から転送ワード数の情報を受け取り、制御手段5内の転送ワード・レジスタにSAMへ転送するデータ・ワード数を設定する。

転送ワード・レジスタへの転送ワード数設定完了をトリガとして、制御手段5は、システムA1から転送速度変換手段4内のSAMへのデータ転送を起動する。これによって、システムA1から転送データがシリアルにSAMへ転送され、SAMの前頭から順に格納される。システムAからのデータがSAMに溜まり、SAMがいっぱいになるか、またはシステムA1からの転送が完了すると、転送終了を知らせる信号がシステムA1から制御手段5に送られる。

制御手段5は、システムA1からSAMへのデータ転送完了信号を受けて、SAMからRAMへの転送速度変換手段4内での内部転送を起動する。このとき、SAMの前頭から順に転送データがシリアルに出力され、そのデータがRAMへ格納される。RAMの格納アドレスは、先に制御手段5

- 12 -

内のRAMアクセス前頭アドレス・レジスタに設定されたアドレスを前頭アドレスとし、順に格納される。

SAM→RAM間の転送が終了すると、転送速度変換手段4は転送終了を制御手段5に通知する。制御手段5は、システムB2に対して、RAMから転送データを読み出すように要求する。システムB2はこの要求を受けて、転送速度変換手段4内のRAMからデータを読み出し、システムB2に転送する。データの読み出しアドレスは、制御手段5内のRAMアクセス前頭アドレス・レジスタに指定されている。

以上の動作により、システムA1からシステムB2へのデータ転送が完了する。

一方、システムB2からシステムA1へデータを転送する場合には、システムB2がデータ転送装置3に転送要求を送る。そして、システムB2は転送速度変換手段4内のRAMにデータを書き込む。システムB2からRAMへのデータ書き込みが終了すると、システムB2は転送終了通知を

- 13 -

- 356 -

- 14 -

制御手段5へ送る。

制御手段5は、この転送終了通知を受けて、次にシステムB2がRAMにデータを格納した先頭アドレスを、制御手段5内のRAMアクセス先頭アドレス・レジスタにセットする。この設定が完了すると、制御手段5は、転送速度変換手段4内のRAM→SAM間の内部転送を起動する。

転送速度変換手段4は、RAMに格納された転送データをSAMに送り、SAMの先頭から順にデータを格納する。RAM→SAM間の転送が終了すると、終了した旨を知らせる信号が制御手段5に送られる。

制御手段5はRAM→SAM間転送完了信号を受けて、転送ワード・レジスタにSAMに格納された転送データのワード数をセットする。この設定が完了後、システムA1に対して、SAMからデータを読み出すように命令する。システムA1は、SAMの先頭から順に、制御手段5の転送ワード・レジスタに設定されたワード数分だけデータを読み出す。

以上の処理により、システムB2からシステムA1へのデータ転送が完了する。

#### (実 施 例)

以下、第2図乃至第4図を参照しながら実施例を説明する。

第2図は、本発明の一実施例のシステム構成図である。

本実施例のシステムは、大まかにいって、データの転送および受信を実行するシステムA1、システムB2、およびデータ転送装置3からなる。システムA1、システムB2は、例えば、マイクロプロセッサとメモリ、入出力インタフェース等を備えたCPUシステムである。

データ転送装置3は、データ転送速度を変換してシステムA1からシステムB2へデータを受け渡すデュアルポート・ビデオRAM20と、デュアルポート・ビデオRAM20のデータ転送を制御する制御回路21からなる。

デュアルポート・ビデオRAM20は、入力お

- 15 -

よび出力をシリアルに実行するSAM22と、通常のRAM23で構成されている。SAM22とRAM23はデュアルポート・ビデオRAM20内部で接続されている。デュアルポート・ビデオRAM20の一方のポートであるSAM22の入出力ポートはシステムA1と接続され、システムA1-SAM22間データ転送Ta24を実行する。デュアルポート・ビデオRAM20の他方のポート、すなわちRAM23の入出力ポートはシステムB2と接続され、システムB2-RAM23間データ転送Tb25を実行する。

システムA1-SAM22間データ転送Ta24、および、システムB2-RAM23間データ転送Tb25には、例えば、DMA(直接メモリ・アクセス)転送を使用する。但し、データ転送Ta24の転送速度と、データ転送Tb25の転送速度が異なる。

制御回路21は、制御回路21の全体の制御を行なうCPU26、および、デュアルポート・ビデオRAM20内のSAM22を制御するSAM

- 16 -

制御回路27、該デュアルポート・ビデオRAM内のSAM22とRAM23間の転送を制御するRAM-SAM間転送制御回路、該デュアルポート・ビデオRAM内のRAM23を制御するRAM制御回路29からなる。そして、SAM制御回路27は転送ワード・レジスタ30を、RAM-SAM間転送制御回路28はRAMアクセス先頭アドレス・レジスタ31を内部にもつ。転送ワード・レジスタ30は、システムA1からデュアルポート・ビデオRAM20内のSAM22に転送するデータのワード数をセットするレジスタである。一方、RAMアクセス先頭アドレス・レジスタ31には、デュアルポート・ビデオRAM20内のRAMへのデータ転送に先立って、データを格納するメモリの先頭アドレスをセットする。

CPU26は、SAM制御回路27およびRAM-SAM間転送制御回路28、RAM制御回路29、システムA1、システムB2とそれぞれ接続している。また、SAM制御回路27は、CPU26のほか、SAM22およびRAM-SAM

- 17 -

- 357 -

- 18 -



間転送制御回路28と、RAM制御回路29は、CPU26のほか、RAM23およびRAM-SAM間転送制御回路28と接続している。さらに、RAM-SAM間転送制御回路28は、CPU26、SAM制御回路27、RAM制御回路29、デュアルポート・ビデオRAM20のSAM22-RAM23間の信号線に接続している。

次に、本実施例のシステムの動作を、第3図の一実施例のフローチャートに沿って説明する。

まず、システムA1からシステムB2へデータを転送する(第3図(a))。

システムA1が、制御回路21内のCPU26にシステムA1-システムB2間のデータ転送を要求する(S1)。CPU26は、この要求信号を受けて、まず、RAM-SAM間転送制御回路28内のRAMアクセス先頭アドレス・レジスタ31にデータを格納する先頭アドレスをセットする(S2)。RAM-SAM間転送制御回路28は、先頭アドレスがセットされると、RAM23-SAM22間のデータ転送方向の情報をデュアル

ポート・ビデオRAM20内のSAM22-RAM23間の信号線に送る(S3)。この場合、方向はSAM22→RAM23の方向に設定される。

次に、CPU26は、SAM制御回路27内の転送ワード・レジスタ30に、システムA1から転送されるデータのワード数をセットする(S4)。SAM制御回路27は、ワード数のセットが完了すると、SAM22に対して、システムA1-SAM22間のデータ転送を起動する命令を送る。この信号を受けて、システムA1からSAM22へデータ転送Ta24によってデータが転送される(S5)。データ転送Ta24は、通常、DMA転送によって行なわれる。SAM22へは、転送データがシリアルに入力され、入力されたデータはSAM22の先頭から順次、格納される。

システムA1からSAM22へのデータ転送が完了すると、SAM22は、SAM制御回路30に対して、転送完了通知信号を送る(S6)。SAM制御回路30は、この通知を受けて、RAM

- 19 -

-SAM間転送制御回路28に対して、システムA1-SAM22間転送完了を伝え、RAM-SAM間転送制御回路28は、この信号を受けて、SAM22-RAM23間の信号線に対して、SAM22-RAM23間の転送開始信号を送る。この信号によって、SAM22からRAM23へのデータ転送が開始される(S7)。

この際、SAM22に格納済みのデータがSAM22の先頭から順に出力され、RAM23に送られる。一つの信号で、SAM22内のデータがすべてRAM23へ送られる。RAM23への格納アドレスは、RAMアクセス先頭アドレス・レジスタ31が制御し、先頭アドレス以降のメモリに順次格納される。SAM-RAM間転送が終了すると、終了通知信号がデュアルポート・ビデオRAM20からRAM-SAM間転送制御回路28へ送られる。この信号はRAM-SAM間転送制御回路28からCPU26へ伝えられる。

CPU26は、RAM-SAM間の転送完了信号を受けて、システムB2に対して、RAM23

- 20 -

から転送データを読み出すよう命令を送る(S8)。システムB2は、この命令を受けて、RAM23からデータ転送Tb25によりデータを読み出す(S9)。通常、データ転送Tb25はDMA転送で行ない、データ転送Tb25の制御はRAM制御回路29が実行する。すなわち、RAM制御回路29は、RAM-SAM間転送制御回路28内のRAMアクセス先頭アドレス・レジスタ31の内容からRAM23に格納されているデータの先頭アドレスを知り、その先頭アドレスから順にDMA転送する。

以上の処理により、システムA1からシステムB2へのデータ転送が完了する。一般に、SAM22の容量は小さいので、システムA1から転送したいデータ容量がSAM22の容量よりも大きいことが多い。この場合、S1~S9の処理を何度も繰り返して、全データを転送する。

次に、システムB2からシステムA1へのデータ転送の手順を説明する(第3図(b))。

システムB2からシステムA1へデータを転送

- 21 -

- 358 -

- 22 -

する場合には、システムB2がCPU26に対してシステムA1へのデータ転送を要求する(S10)。そして、システムB2は、RAM23に対して、転送するデータをデータ転送Tb25によって書き込む(S11)。通常、データ転送Tb25はDMA転送である。そして、RAM23へ転送データをすべて書き込むと、システムB2はCPU26に対して転送終了通知信号を送る(S12)。

CPU26は、この転送終了通知信号を受け取って、まず、RAM-SAM間転送制御回路28内のRAMアクセス先頭アドレス・レジスタ31に、システムB2が転送データを書き込んだRAM23の先頭アドレスをセットする(S13)。RAM-SAM間転送制御回路28は、先頭アドレスがセットされると、デュアルポート・ビデオRAM20内のRAM23-SAM22間転送の方向を示す信号をデュアルポート・ビデオRAM20に送る。この場合、RAM23→SAM22の方向に設定する。さらに、この転送方向設定完

了後、RAM23-SAM22間の内部転送を起動する(S14)。

この内部転送は、RAM-SAM間転送制御回路28の制御によって実行される。すなわち、RAM-SAM間転送制御回路28が転送信号を一つ出すと、RAM23から、最大、SAM22の容量分のデータが出力され、SAM22に送られ、SAM22の先頭から順に格納される。

この転送が終了すると、転送完了信号がRAM-SAM間転送制御回路28からCPU26へ送られ、この信号を受けて、CPU26は、SAM制御回路27内の転送ワード・レジスタ30に、RAM23からSAM22に内部転送されたデータのワード数をセットする(S15)。ワード数がセットされると、SAM制御回路27はSAM22に対して、SAM22-システムA1間のデータ転送Ta24を起動する信号を送る。さらに、CPU26がシステムA1に対して、SAM22からデータを読み出すように命令を送る。

システムA1はこの命令を受けて、SAM22

- 23 -

から転送ワード・レジスタ30にセットされたワード数分だけデータを読み出す。データ転送Ta24は、通常、DMA転送で行なう。

デュアルポート・ビデオRAM20内のSAM22とRAM23の容量は、通常、RAM23の方が大容量である。システムB2からRAM23に転送されたデータ容量がSAM22の容量よりも大きい場合には、デュアルポート・ビデオRAM20内の内部転送(S14)以降の処理、すなわち、S14～S16の処理を何度か繰り返し実行することになる。

以上の処理によって、システムB2からシステムA1へのデータ転送が完了する。このようにして、データ転送速度の異なるシステムA1-システムB2間のデータ転送が可能になる。

第4図は、転送制御回路の詳細な説明図である。

CPU26にはマイクロプロセッサを使用できる。SAM制御回路27は、システムA1-SAM22間の転送要求をシステムA1に出すための転送リクエスト信号制御回路40と、転送ワード・レ

- 24 -

ジスタ30、1個の否定入力のANDゲート41、1個の3入力ORゲート42からなる。転送リクエスト信号制御回路40はフリップ・フロップ回路、転送ワード・レジスタ30はシフト・レジスタである。

一方、RAM-SAM間転送制御回路28は、RAMアクセス先頭アドレス・レジスタ31と、RAM-SAM間転送および転送方向の制御回路43からなる。RAMアクセス先頭アドレス・レジスタ31はフリップ・フロップ回路である。

デュアルポート・ビデオRAM20は、SAM22、RAM23、および、二つのドライバ(44および45)からなる。この説明図では、デュアルポート・ビデオRAM20内のSAM22のポートに接続するシステムA1のみを記述し、RAM23側のポートに接続するシステムB2は省いている。システムB2-RAM23間のデータ転送の説明は、通常の書き込み/読み出し処理をRAM制御回路29の制御に従って実行するので、ここでは省略するものとする。

システムA1のデータ入出力端子(DATA)はデュアルポート・ビデオRAM20内のSAM22と結ばれ、双方向のデータ通信を行なう。また、システムA1の同期信号端子もSAM22と接続され、転送データの同期をとる信号をSAM22に送る。

デュアルポート・ビデオRAM20内のSAM22のDATA端子とRAM23のDATA端子は、例えば1ワード幅の転送が可能である。そして、SAM22-RAM23間の転送方向を指定するために、それぞれのデータ線は二つに分岐され、それぞれ、ドライバ44およびドライバ45を介してSAM22のDATA端子とRAM23のDATA端子をつないでいる。ドライバ44とドライバ45の接続方向は互いに逆向きになっており、それぞれ、RAM-SAM間転送および転送方向の制御回路43からの信号線(SE)が接続されている。ドライバ44は、SEが低レベルのとき、SAM22→RAM23の方向にデータを運ず。一方、ドライバ45にはSEが高レベルで

接続されており、SEが高レベルのとき、RAM23→SAM22の方向にデータ転送が可能になる。

次に、制御回路の回路接続を説明する。

まず、CPU26のTCRW端子(転送ワード・レジスタ書き込み信号端子)は、SAM制御回路27内の転送リクエスト信号制御回路40と転送ワード・レジスタのL端子に接続され、転送ワードを書き込むタイミング信号を送る。また、CPU26のTARW端子(RAMアクセス先頭アドレス・レジスタ書き込み信号端子)は、RAM-SAM間転送制御回路28内のRAMアクセス先頭アドレス・レジスタ31のCP端子と、SAM制御回路27内のOR端子42に接続され、RAMアクセス先頭アドレスを書き込むタイミング信号を送る。

また、CPU26のDATA端子は、SAM制御回路27内の転送ワード・レジスタ30のD端子、および、RAM-SAM間転送制御回路28のRAMアクセス先頭アドレス・レジスタ31の

- 27 -

D端子に接続されている。転送ワード数のデータや、RAMアクセス先頭アドレスのデータがCPU26のDATA端子から送られる。CPU26のDIR端子は、RAM-SAM間転送制御回路28のRAM-SAM間転送および転送方向の制御回路43に接続され、デュアルポート・ビデオRAM20内での内部転送方向(RAM→SAM、あるいは、SAM→RAM)を示す信号を送る。

一方、SAM制御回路27内の転送リクエスト信号制御回路40のTREQ端子は、システムA1と接続され、CPU26からの転送ワード・レジスタ書き込み信号(TCRW)の入力を受けて、システムA1に対して転送要求信号を出力する。

また、SAM制御回路27内の転送ワード・レジスタ30への入力としては、CPU26からの転送ワード・レジスタ書き込み信号(TCRW)とデータ(DATA)のほかに、CP信号(クロック・パルス信号)がある。そして、出力としてQ端子から転送ワード数を出力する。この出力(Q)は否定入力のANDゲート41に入力され

- 28 -

る。この否定入力ANDゲート41によって、転送ワード・レジスタ30から出力された転送ワード数が0になったときに、否定入力ANDゲート41は高レベル('1')を出力する。

この出力は3入力ORゲート42に出力される。ORゲート42の他の二つの入力端子は、システムA1のTBEND端子(転送終了信号端子)、および、CPU26のTARW端子(RAMアクセス先頭アドレス・レジスタ書き込み信号)と接続されている。3入力ORゲート42の出力は、RAM-SAM間転送および転送方向の制御回路43の入力信号となり、SAM-RAM間転送の起動、あるいはSAM-RAM間転送の完了を示す信号となる。

RAM-SAM間転送制御回路28内のRAMアクセス先頭アドレス・レジスタ31の入力はCPU26からのTARW信号(RAMアクセス先頭アドレス・レジスタ書き込み信号)とデータ(DATA)であり、出力として、RAMのアドレス信号(MA端子)をデュアルポート・ビデオ

- 29 -

- 360 -

- 30 -

RAM 20内のRAM 23に送る。

一方、RAM-SAM間転送制御回路28内のRAM-SAM間転送および転送方向の制御回路43の入力としては、前述した3入力ORゲート42の出力信号と、CPU 26からの転送方向指定信号(DIR)がある。そして、この制御回路43は、SAM-RAM間方向制御信号(SE端子)と、RAS信号、CAS信号、TR/OE信号、書き込みエネーブル信号(WE端子)を出力する。

SAM-RAM間方向制御信号(SE端子)は、SAM-RAM間にある二つのドライバ(44および45)のドライブ信号となり、この信号が低レベル('0')のときRAM→SAM方向に、高レベル('1')のときSAM→RAM方向に転送方向が指定される。この他の出力信号(RAS信号、CAS信号、TR/OE信号、WE信号)はすべてRAM 23の入力信号となり、RAM 23の制御に使用される。

次に、システムA1からデータが転送される場

合のこの制御回路の動作を説明する。

まず、システムA1からCPU 26に対してデータ転送要求が出される(第3図(a)のS1)。すると、CPU 26はTARW端子とDATA端子から、それぞれ、RAMアクセス先頭アドレス・レジスタ書き込み信号(TARW)とRAMアクセス先頭アドレス・データを出力する。TARW信号はRAMアクセス先頭アドレス・レジスタ31および3入力ORゲート42に入力される。この信号を受けて、RAMアクセス先頭アドレス・レジスタ31はレジスタに先頭アドレスをセットし(第3図(a)のS2)、RAM 23に対してRAMのアドレス信号(MA)を出力する。3入力ORゲート42の出力は、TARW信号が高レベル('1')の間、高レベル('1')になる。この信号によって、RAM-SAM間転送および転送方向の制御回路43はRAM-SAM間転送の処理を起動することになる。

CPU 26は、次に、転送方向指定信号をDIR端子から出力する。この信号はRAM-SAM

- 31 -

間転送および転送方向の制御回路43に入力され、RAM-SAM間転送および転送方向の制御回路43は、この入力信号に従って、SAM-RAM間方向制御信号をSE端子から出力する。今、SE端子は高レベル('1')となり、SAM→RAM方向に転送方向が設定される(第3図(a)のS3)。

次に、CPU 26は、TCRW端子とDATA端子から、それぞれ、転送ワード・レジスタ書き込み信号と転送ワード数データを出力する。この二つの信号は転送ワード・レジスタ30に送られ、転送ワード数がレジスタにセットされる(第3図(a)のS4)。

転送ワード・レジスタ書き込み信号(TCRW)は、また、転送リクエスト信号制御回路40に入力され、転送リクエスト信号制御回路40はシステムA1に対して転送要求信号(TREQ)を出力する。この信号(TREQ)を受けて、システムA1はデータ転送を開始する(第3図(a)のS5)。システムA1からのデータ転送が終了す

- 32 -

ると、システムA1はTEDN端子から転送終了信号を出力する(第3図(a)のS6)。この信号(高レベル)は3入力ORゲート42に入力される。そして、3入力ORゲート42の出力が高レベル('1')となり、RAM-SAM間転送および転送方向の制御回路43の入力が高レベルになる。これによってSAM→RAM間データ転送が開始される(第3図(a)のS7)。

SAM→RAMのデータ転送の間、転送ワード・レジスタ30には1ワード転送されるごとにクロック・パルスCPが入力され、その都度、ワード数がダウン・カウントされる。すべてのデータがSAM 22→RAM 23に転送された時点でカウンタは'0'となる。出力Qが'0'になると、否定入力ANDゲート41の出力が'1'となり、3入力ORゲート42の出力も'1'となる。この信号がRAM-SAM間転送および転送方向の制御回路43に入力され、RAM-SAM間転送の終了が通知される。

以上の動作で転送データのRAM 23への転送

- 33 -

- 361 -

- 34 -

が完了する。その後、CPU 26 がシステム B 2 に対して RAM 23 の読み出し要求を出し（第3図（a）の S 8）、システム B 2 が RAM 23 からデータを読み出すことによって、システム A 1 からシステム B 2 へのデータ転送が完了する。

システム B 2 からシステム A 1 へデータを転送する場合の制御回路の動作を次に説明する。説明は、転送データがシステム B 2 から RAM 23 に転送され（第3図（b）の S 10、S 11）、この転送が完了した（第3図（b）の S 12）した時点から始める。

RAM 23 へのデータ転送終了通知を CPU 26 が受け取ると、CPU 26 は、TARW 端子と DATA 端子から、それぞれ、RAM アクセス先頭アドレス・レジスタ書き込み信号（TARW）と RAM アクセス先頭アドレス・データを出力する。TARW 信号は RAM アクセス先頭アドレス・レジスタ 31 および 3 入力 OR ゲート 42 に入力される。この信号を受けて、RAM アクセス先頭アドレス・レジスタ 31 はレジスタに先頭アド

レスをセットし（第3図（b）の S 13）、RAM 23 に対して RAM のアドレス信号（MA）を出力する。3 入力 OR ゲート 42 の出力は、TARW 信号が高レベル（'1'）の間、高レベル（'1'）になる。この信号によって、RAM-SAM 間転送および転送方向の制御回路 43 は RAM-SAM 間転送の処理を起動することになる。CPU 26 は、次に、転送方向指定信号を DIR 端子から出力する。この信号は RAM-SAM 間転送および転送方向の制御回路 43 に入力され、RAM-SAM 間転送および転送方向の制御回路 43 は、この入力信号に従って、SAM-RAM 間方向制御信号を SE 端子から出力する。今、SE 端子は低レベル（'0'）となり、RAM→SAM 方向に転送方向が設定される。転送方向が決定されると、RAM 23→SAM 22 へのデータ転送が開始される（第3図（b）の S 14）。転送が完了すると、CPU 26 は、TCRW 端子と DATA 端子から、それぞれ、転送ワード・レジスタ書き込み信号と転送ワード数データを出力する。

- 35 -

この二つの信号は転送ワード・レジスタ 30 に送られ、転送ワード数がレジスタにセットされる（第3図（b）の S 15）。

転送ワード・レジスタ書き込み信号（TCRW）は、また、転送リクエスト信号制御回路 40 に入力され、転送リクエスト信号制御回路 40 はシステム A 1 に対して転送要求信号（TREQ）を出力する。この信号（TREQ）を受けて、システム A 1 は SAM 22 からのデータ読み出しを開始し（第3図（b）の S 16）、転送ワード・レジスタにセットされたワード数分のデータを SA 22 から読み出す。以上の動作によって、システム B 2 からシステム A 1 への転送が完了する。

#### 〔発明の効果〕

本発明によって、1 個のデュアルポート・ビデオ RAM だけを使用して転送速度の異なる 2 システム間のデータ転送が可能になり、転送速度可変の FIFO メモリを使用するよりも安価にデータ転送システムを構成することが可能になる。また、

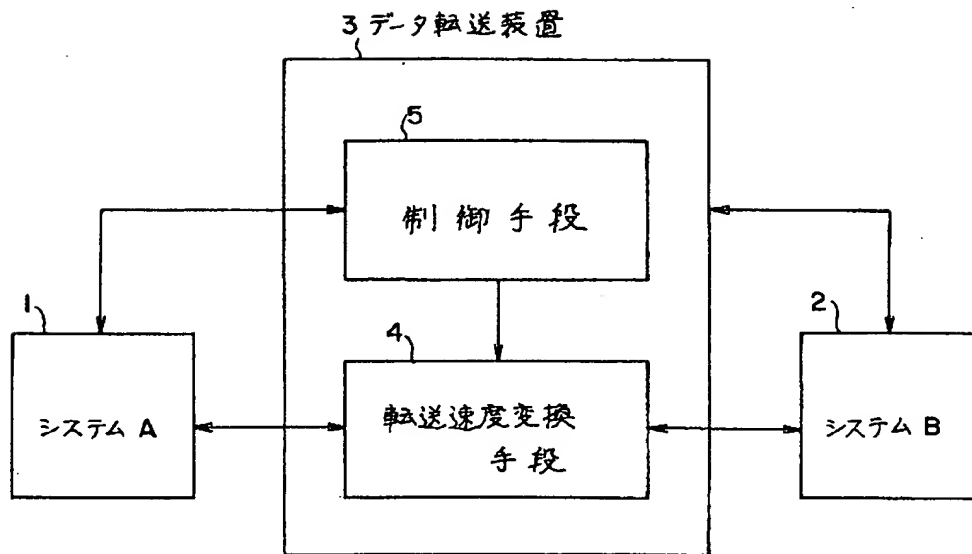
- 36 -

デュアルポート・ビデオ RAM を使用することにより、RAM-SAM 間の内部転送をブロック単位に行なうことができ、通常の RAM とバッファ・メモリを使用したデータ転送よりも転送速度が向上する。さらに、CPU はデータ転送の要求とデータ転送の終了の監視を行なうだけなので、データ転送中は他の処理を実行可能であり、CPU の処理性能が向上する。

#### 4. 図面の簡単な説明

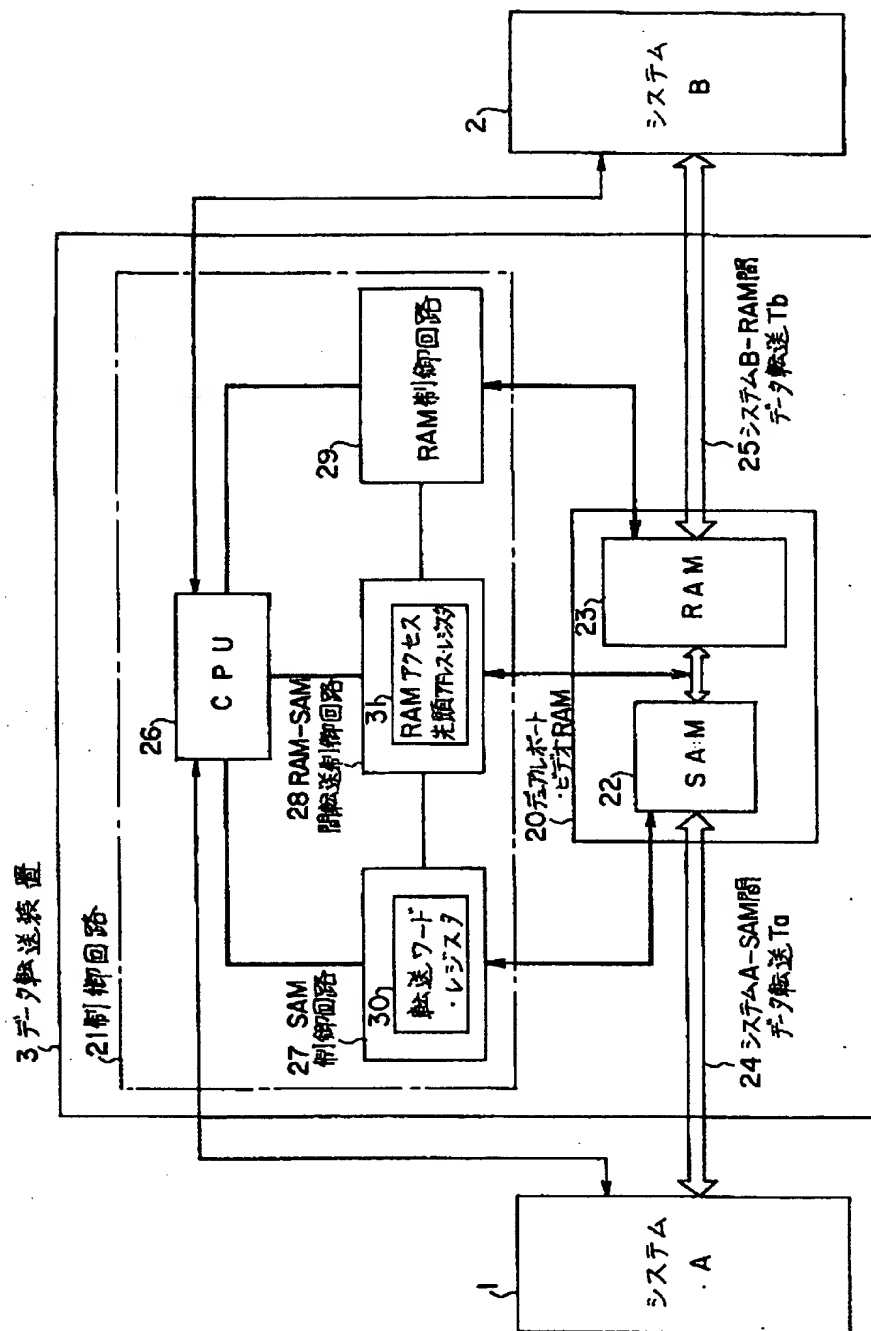
- 第1図は本発明のブロック図、
- 第2図は一実施例のシステム構成図、
- 第3図は一実施例のフローチャート、
- 第4図は転送制御回路の説明図、
- 第5図は従来の方式の説明図。

- 1・・・システム A、
- 2・・・システム B、
- 3・・・データ転送装置、
- 4・・・転送速度変換手段、
- 5・・・制御手段。



本発明のブロック図

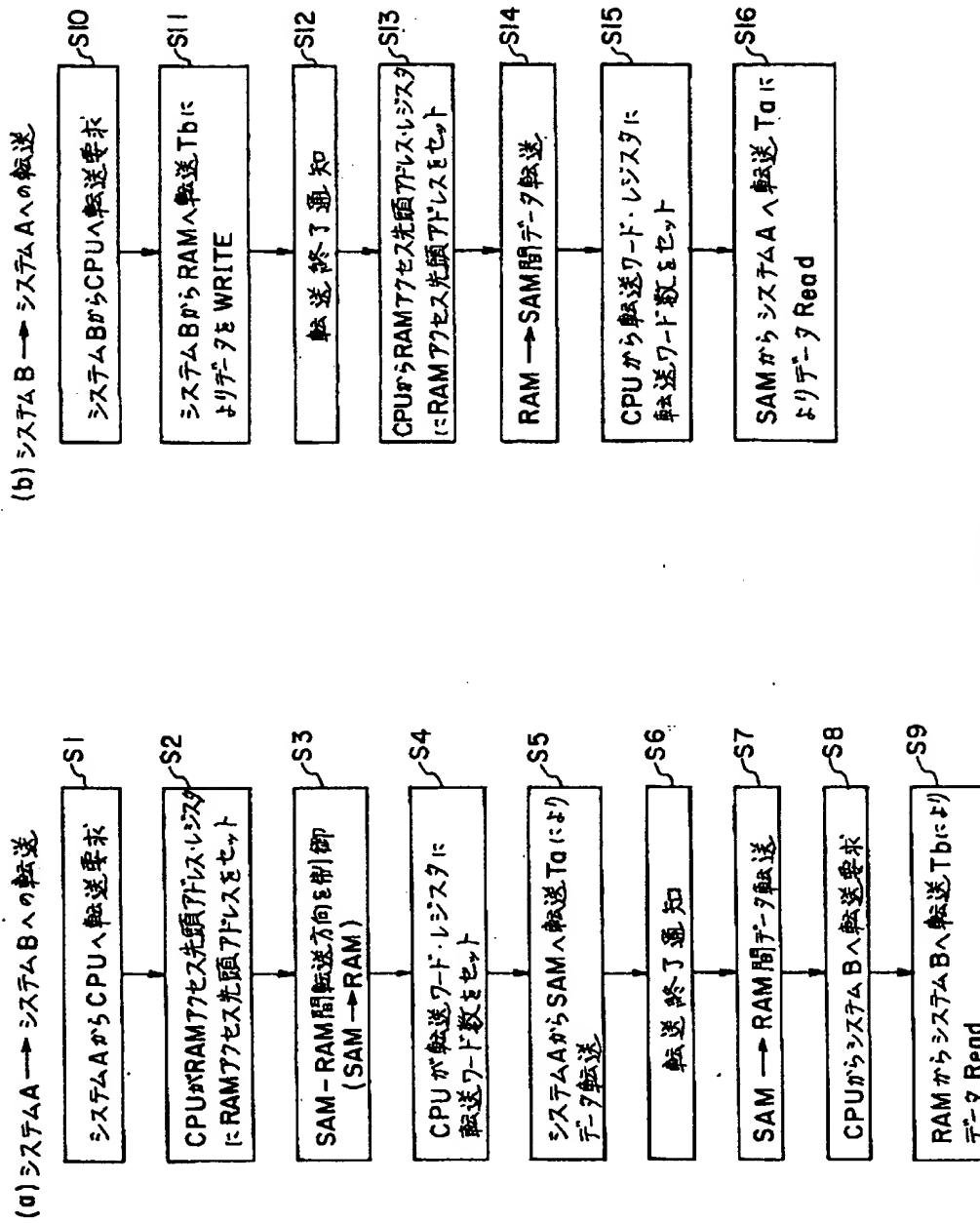
第 1 図



SAM: serial access memory  
 RAM: random access memory  
 CPU: central processing unit

一実施例のシステム構成図

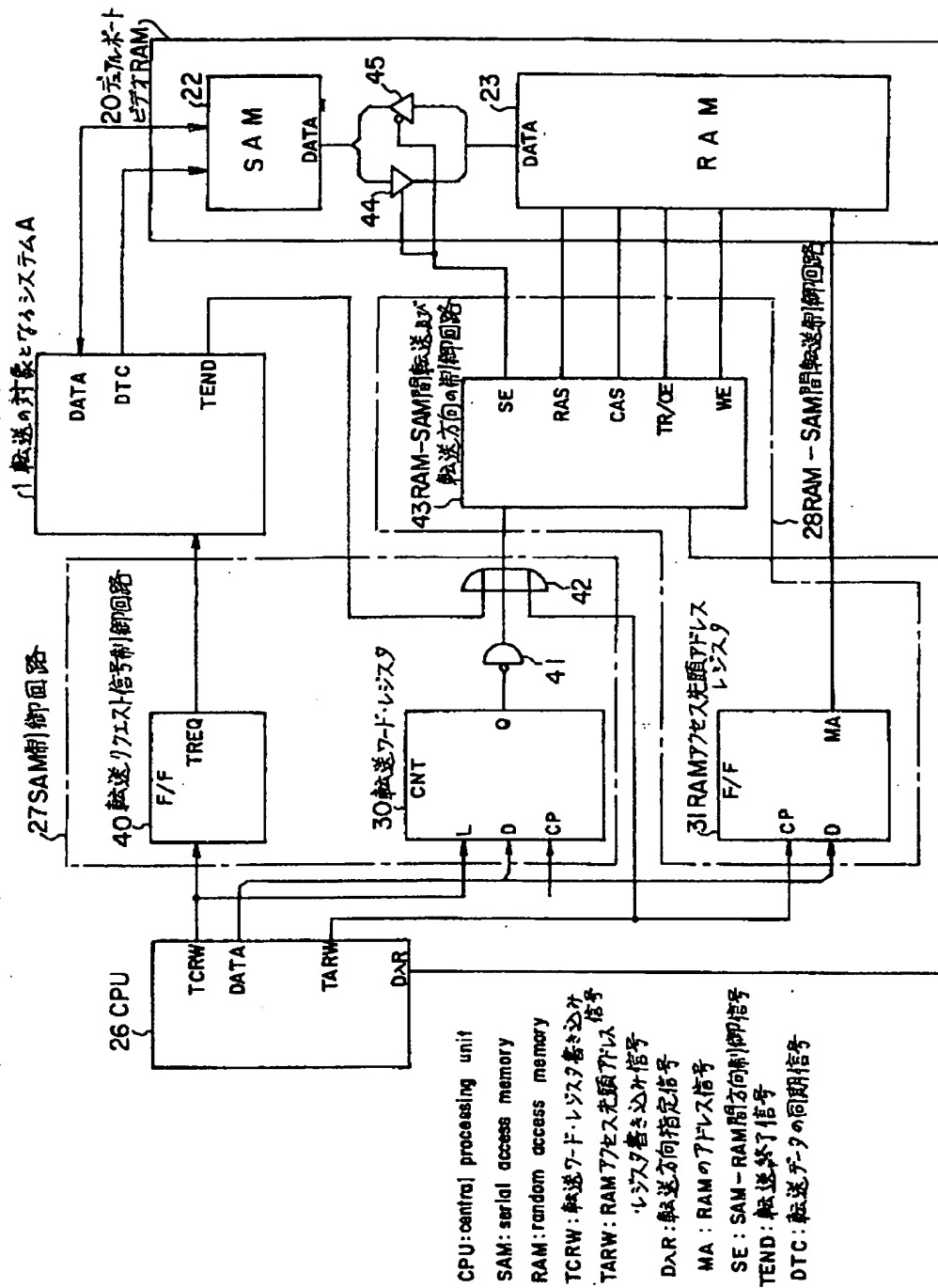
第 2 図



一実施例のフローチャート

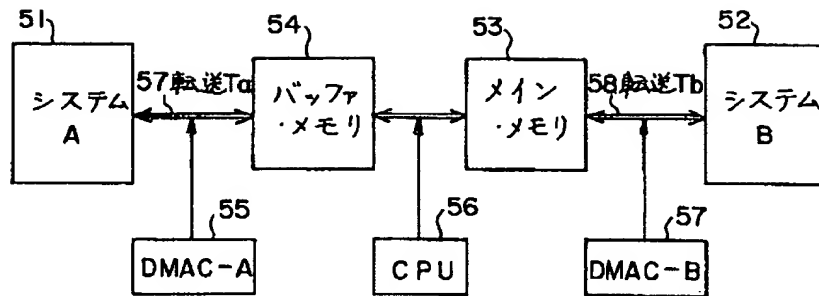
第 3 図



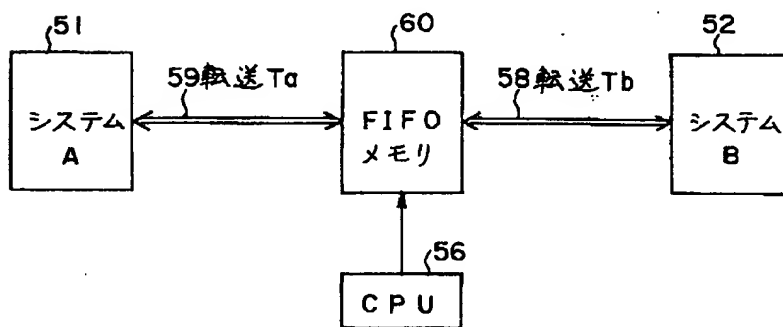


転送制御回路の説明図  
第4図

(a)



(b)



従来方式の説明図

第 5 図

第1頁の続き

②発 明 者 藤 園 賢 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内